

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-027991

(43)Date of publication of application : 05.02.1993

(51)Int.Cl.

G06F 9/46

(21)Application number : 03-207580

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 24.07.1991

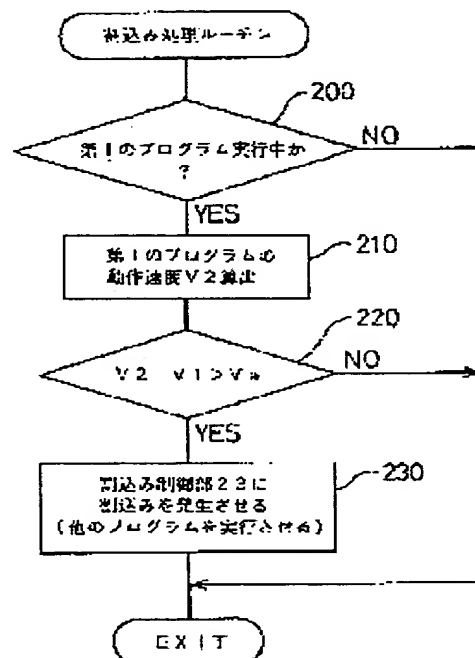
(72)Inventor : SAKOU FUMIO

(54) ELECTRONIC PROCESSOR

(57)Abstract:

PURPOSE: To enable efficient multiple programming by changing the use rate of a process allocated to a CPU and suitably controlling the operating velocity of the process to the target operating velocity.

CONSTITUTION: When an interruption processing is started at every prescribed time and it is judged (200) that a first program is under execution on the CPU, operating velocity V2 of the first program is calculated (210) and it is judged (220) whether a value (deviation) obtained by subtracting a calculated target operating velocity V1 from the velocity V2 is larger than a prescribed value Va or not. In this case, when the deviation is larger than the prescribed value Va, a signal is outputted to an interruption control part, interruption to the CPU is generated, and control is returned (230) to an operating system. As the result, the first program is turned to an execution enable state, and the other program in the execution enable state is executed. Thus, even while suitably limiting the operating velocity of the first program, the operating velocity of the other program can be prevented from being lowered.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-27991

(43)公開日 平成5年(1993)2月5日

(51)Int.Cl.⁵

G 0 6 F 9/46

識別記号

3 4 0 B

庁内整理番号

8120-5B

D 8120-5B

F I

技術表示箇所

審査請求 未請求 請求項の数3(全 9 頁)

(21)出願番号 特願平3-207580

(22)出願日 平成3年(1991)7月24日

(71)出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72)発明者 左光 文雄

長野県諏訪市大和三丁目3番5号 セイコ

ーエプソン株式会社内

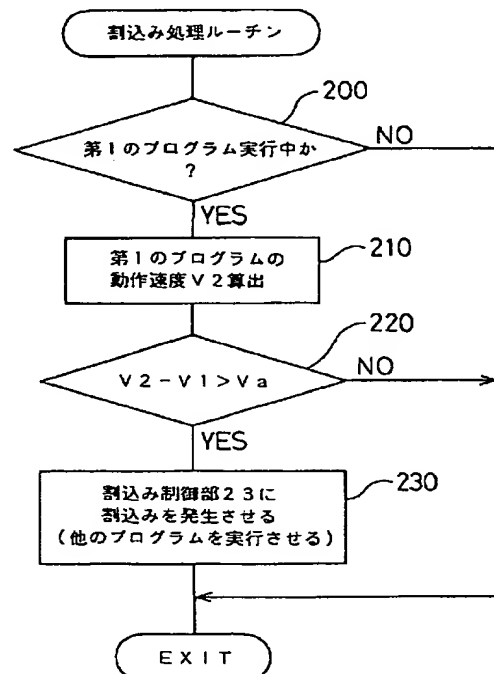
(74)代理人 弁理士 五十嵐 孝雄 (外1名)

(54)【発明の名称】 電子処理装置

(57)【要約】

【目的】 多重マルチプログラミング処理において、所定のプログラムの動作速度を適切に制御しつつも、そのプログラム以外の他のプログラムの動作速度を低下させず、そして、CPUの使用効率を向上させる。

【構成】 CPUにおける第1のプログラム実行時に、第1のプログラムの目標動作速度V1から第1のプログラムの実際の動作速度V2を減じて求めた偏差が所定値Vaより大きいと判定されると、CPUに割り込みを発生させて、CPUの実行プログラムを第1のプログラムから第2のプログラムに変更する。こうして、第1のプログラムの実際の動作速度V2が目標動作速度V1より所定値Va以上大きい場合、第1のプログラムのCPUに割り当てられる時間が短縮されて、第1のプログラムの動作速度V1が低下する。



1

【 特許請求の範囲】

【 請求項1 】 CPUを備え、所定のオペレーションシステムに従って複数のプロセスを多重プログラミングにて実行する電子処理装置において、前記CPUで前記複数のプロセスのうちの一プロセスが動作しているとき、前記一プロセスの動作速度を算出する動作速度算出手段と、前記CPUで実行される一プロセスが適切に動作するための目標動作速度を、直接又は間接的なパラメータで設定する目標動作速度設定手段と、前記目標動作速度設定手段にて設定された目標動作速度に対する前記動作速度算出手段にて算出された動作速度の偏差を算出する偏差算出手段と、前記偏差算出手段にて算出された偏差に応じて、前記CPUに割り当てられる前記一プロセスのCPUの使用率を変更するCPU使用率変更手段とを備えたことを特徴とする電子処理装置。

【 請求項2 】 CPUを備え、所定のオペレーションシステムに従って複数のプロセスを多重プログラミングにて実行する電子処理装置において、前記CPUで前記複数のプロセスのうちの一プロセスが動作しているとき、前記一プロセスのCPUの使用率を算出する使用率算出手段と、前記CPUで実行される一プロセスが適切に動作するために必要とするCPUの使用率を目標使用率として設定する目標使用率設定手段と、前記目標使用率設定手段にて設定されたCPUの目標使用率に対する前記使用率算出手段にて算出されたCPUの使用率の偏差を算出する偏差算出手段と、前記偏差算出手段にて算出された偏差に応じて、前記CPUに割り当てられる前記所定の一プロセスのCPUの使用率を変更するCPU使用率変更手段とを備えたことを特徴とする電子処理装置。

【 請求項3 】 請求項1 または2 記載の電子処理装置であって、CPU使用率変更手段は、偏差算出手段にて算出された偏差が、目標値より上方側の値で、かつ所定値以上の大きさであるとき、CPUで実行されるプロセスを他のプロセスに変更するプロセス切替部を備えた電子処理装置。

【 発明の詳細な説明】

【 0001 】

【 産業上の利用分野】 本発明は、CPUを備え、所定のオペレーションシステムに従って複数のプロセスを多重プログラミングにて実行する電子処理装置に関する。

【 0002 】

【 従来の技術】 一般に、コンピュータ等で用いられるCPUは、その種類や使用可能な最大クロック数により実行速度が異なる。CPUの実行速度が上がるということは、CPU上で動作するプログラムの動作速度が上がる

2

ということで、特定のCPUの実行速度を前提として作成されたプログラムを、より実行速度の速いCPUで実行させようとすると、動作速度が速すぎて、所望の処理結果を得ることができなかった。特に、ゲーム等のアプリケーションソフトは、CPUの実行速度に依存して作成されていることから、CPUの実行速度が速すぎると、画面の書き換え等が速すぎて、そのゲーム等を楽しめないといった支障が生じた。

【 0003 】 こうした不具合を解消する電子処理装置として、外部のスイッチによりCPUのクロック周波数を切り換えることで、CPUの実行速度を変化させる構成の電子処理装置が知られている。即ち、CPUのクロック周波数を切り換えてCPUの実行速度を遅くすることにより、プログラムの実行に適切な動作速度を得ていた。

【 0004 】

【 発明が解決しようとする課題】 しかしながら、こうした従来の技術では、CPUで複数のプロセスを多重プログラミングにて実行する場合、CPUのクロック周波数を所定のプログラムの動作速度に応じて切り換えると、他のプログラムの動作速度までも遅くなり、CPUの使用効率が大幅に低減するといった問題が発生した。

【 0005 】 本発明の電子処理装置は、所定のプログラムの動作速度を適切に制限しつつも、他のプログラムの動作速度を低下させない、効率的な多重プログラミングを行なうことを目的とする。

【 0006 】

【 課題を解決するための手段】 かかる目的を達成すべく、課題を解決するための手段として、本発明は以下に示す構成をとった。

【 0007 】 即ち、本発明の電子処理装置の第1の構成は、CPUを備え、所定のオペレーションシステムに従って複数のプロセスを多重プログラミングにて実行する電子処理装置において、前記CPUで前記複数のプロセスのうちの一プロセスが動作しているとき、前記一プロセスの動作速度を算出する動作速度算出手段と、前記CPUで実行される一プロセスが適切に動作するための目標動作速度を、直接又は間接的なパラメータで設定する目標動作速度設定手段と、前記目標動作速度設定手段にて設定された目標動作速度に対する前記動作速度算出手段にて算出された動作速度の偏差を算出する偏差算出手段と、前記偏差算出手段にて算出された偏差に応じて、前記CPUに割り当てられる前記所定の一プロセスのCPUの使用率を変更するCPU使用率変更手段とを備えたことを要旨としている。

【 0008 】 一方、本発明の電子処理装置の第2の構成は、CPUを備え、所定のオペレーションシステムに従って複数のプロセスを多重プログラミングにて実行する電子処理装置において、前記CPUで前記複数のプロセスのうちの一プロセスが動作しているとき、前記一プロ

50

3

セスのCPUの使用率を算出する使用率算出手段と、前記CPUで実行される一プロセスが適切に動作するために必要とするCPUの使用率を目標使用率として設定する目標使用率設定手段と、前記目標使用率設定手段にて設定されたCPUの目標使用率に対する前記使用率算出手段にて算出されたCPUの使用率の偏差を算出する偏差算出手段と、前記偏差算出手段にて算出された偏差に応じて、前記CPUに割り当てられる前記一プロセスのCPUの使用率を変更するCPU使用率変更手段とを備えたことを要旨としている。

【0009】これら電子処理装置において、CPU使用率変更手段は、偏差算出手段にて算出された偏差が、目標値より上方側の値で、かつ所定値以上の大きさであるとき、CPUで実行されるプロセスを他のプロセスに変更するプロセス切替部を備えた構成としてもよい。

【0010】

【作用】以上のように構成された本発明の第1の電子処理装置は、CPUにより複数のプロセスを多重プログラミングにて実行するが、そのCPUでそれらプロセスのうちの一プロセスが動作しているとき、その一プロセスの動作速度を、動作速度算出手段により算出するとともに、そのCPUで実行される一プロセスが適切に動作するための目標動作速度を直接又は間接的なパラメータで、目標動作速度設定手段により設定する。そして、その設定された目標動作速度に対するその算出された現在の動作速度の偏差を、偏差算出手段により算出し、その偏差に応じて、CPUに割り当てられる前記一プロセスのCPUの使用率を、CPU使用率変更手段により変更する。

【0011】こうして、一プロセス実行時のそのプロセスの動作速度が、その一プロセスの目標動作速度に対して所定の偏差がある場合、CPUに割り当てられるその一プロセスの使用率が変更されて、その一プロセスの動作速度が目標動作速度に適切に制御される。

【0012】一方、本発明の第2の電子処理装置は、CPUにより複数のプロセスを多重プログラミングにて実行するが、そのCPUでそれらプロセスのうちの一プロセスが動作しているとき、その一プロセスのCPUの使用率を、使用率算出手段により算出するとともに、そのCPUで実行される一プロセスが適切に動作するために必要とするCPUの目標使用率を、目標使用率設定手段により設定する。そして、その設定されたCPUの目標使用率に対するその算出されたCPUの使用率の偏差を、偏差算出手段により算出し、その偏差に応じて、CPUに割り当てられる前記一プロセスのCPUの使用率を、CPU使用率変更手段により変更する。

【0013】こうして、一プロセス実行時のそのプロセスのCPU使用率が、その一プロセスによるCPUの目標使用率に対して所定の偏差がある場合、CPUに割り当てられるその一プロセスの使用率が変更されて、その

4

一プロセスの動作速度がその目標使用率で定まる目標動作速度に適切に制御される。

【0014】

【実施例】次に、本発明の好適な実施例について図面を用いて詳細に説明する。図1は、本発明の電子処理装置を適用した第1実施例としての処理システムの概略構成図である。

【0015】同図に示すように、この処理システムは、コンピュータ本体1と、その周辺装置とから構成されている。周辺装置としては、キー操作にて各種処理やデータを入力するキーボード3と、各種画像データの画面表示を行なうCRTディスプレイ5と、各種データを格納する外部記憶装置としての磁気ディスク装置7と、各種データを印字用紙上に印字するプリンタ9とを備えている。

【0016】コンピュータ本体1は、CPU11、ROM12、RAM13等から構成される処理ユニット10を内蔵する周知のものである。処理ユニット10は、算術論理演算回路として構成されており、ROM12に格納されたプログラムに従って処理を行なうCPU11は、キーボード3に接続されたキーボード制御部16、CRTディスプレイ5に接続されたモニタ制御部17、磁気ディスク装置7に接続されたディスク制御部18、プリンタ9に接続されたプリンタ制御部19等にコモンバス20を介して、接続されている。

【0017】こうした構成の処理ユニット10は、オペレーティングシステム(ここではUNIXが採用されているものとする。なお、UNIXは米国Bell Laboratories(AT&T)の登録商標である。)を搭載する装置で、ROM12上に、カネールを含むオペレーティングシステムが常駐されている。オペレーティングシステムに従ってCPU11は、以下の処理を行なう。

- ① 各仕事へのメモリの割り当て
- ② 時分割による複数の仕事の並列処理
- ③ ファイルの管理
- ④ 外部記憶・入出力装置への読み書き、等

【0018】前記②の処理は、いわゆる多重プログラミングと呼ばれるものである。多重プログラミングシステムでは、RAM13上に複数のプログラムを同時に置き、それらのプログラム間で、CPU11の処理を切り替えることによって、CPU11の共有を可能としている。即ち、複数のプロセスに対しCPU11の資源を、時間を分割して分け与え、あたかも複数のプログラムが、同時並行的に処理を実行しているかのような働きをさせる。

【0019】CPU11をいつ、どのプロセスに割り付けるべきかは、オペレーティングシステム内のCPUスケジューリングと呼ばれるプログラムにより決定されている。なお、CPU11で実行されるプロセスを変更す

5

る動機は、CPUスケジューリングによるものの他に、
トラップとインタラプト（割込み）の発生によるものと
がある。本実施例では、処理ユニット10内に、タイマ
22と、タイマ22から入力された時間信号に応じて割
込み信号を出力する割込み制御部23とを内蔵してお
り、プロセスが連続して走行可能な時間の範囲である時
間量を制限している。即ち、上記時間量が満了する前に
プロセスが自らCPU11を開放しなければ、割込み制
御部23は割込みを発生させ、オペレーションシステム
であるオペレーティングシステムに制御を戻す。オペ
レーティングシステムは、前に走っていたプロセスを実行
可能状態として、実行可能状態のプロセス中の一つを実
行可能にする。

【0020】次に、前記処理ユニット10のCPU11
で実行される、本発明に係る処理ルーチンについて、図
2および図3のフローチャートに従って説明する。図2
は、プログラムの実行を行なう処理ルーチンを示すフロ
ーチャートである。

【0021】図2に示すように、CPU11は、まず、
プログラムの実行を指示するコマンド入力があるか否か
を判定する（ステップ100）。ここで、コマンド入力
があるまでステップ100の処理を繰り返し実行し、コマ
ンド入力があると初めてステップ100を抜ける。

【0022】次いで、キーボード3からのコマンド入力
を読み取る処理を行なう（ステップ110、120）。
詳しくは、CPUで速度制御して実行させたいプログ
ラムを第1のプログラムとして、そのプログラム名がコマ
ンドとしてキーボード3から入力されるが、ステップ
110では、その第1のプログラムの実行コマンドを読
み取る処理を行なう。なお、このコマンド入力の際に、
CPUの目標使用率A1を示すパラメータが同時入力さ
れる。この目標使用率A1は、第1のプログラムが適切
に動作するために必要な目標動作速度を実現するCPU
の使用率である。ステップ110では、具体的には、第
1のプログラム名がPRO1で、その第1のプログラム
をCPUの60%の目標使用率で実行させたいとき、キ
ーボード3から「PRO1-H60」とのコマンドが入力
され、このコマンドを読み取る処理を行なう。

【0023】また、ステップ120では、第1のプログ
ラム以外のその他のプログラムの実行コマンドを読み取
る処理を行なう。その後、ステップ110で読み取った
目標使用率A1から、1秒間当りのステップ数を単位と
した第1のプログラムの目標動作速度V1を算出する
（ステップ130）。

【0024】続いて、ステップ110およびステップ1
20でコマンド入力された複数のプログラムを時分割に
より並列処理する多重プログラミング処理を、オペレ
ーティングシステムに従って実行する。その後、本ルー
チンは終了する。

【0025】図3は、ステップ140で多重プログラミ

6

ング処理が実行されている際に、所定時間毎の割込みに
て実行される処理ルーチンを示すフローチャートであ
る。図3において、処理が開始されると、まず、CPU
11上で第1のプログラムが実行中か否かを判定する
（ステップ200）。ここで、実行中であると判定され
た場合、以下の処理を実行する。なお、ステップ200
で、実行中でないと判定された場合には、「EXIT」
に抜けて、本割込み処理ルーチンを一旦終了する。

【0026】まず、CPU11上における第1のプログ
ラムの動作速度V2を算出し（ステップ210）、その
動作速度V2からステップ130で算出した目標動作速
度V1を減じた値（偏差）が所定値Vaより大きいのか否
かを判定する（ステップ220）。ここで、その偏差が
所定値Vaより大きいと判定されると、割込み制御部2
3に制御信号を出力しCPU11への割込みを発生させ
て、オペレーティングシステムへ制御を戻す（ステッ
プ230）。その結果、オペレーティングシステムは、第
1のプログラムを実行可能状態として、実行可能状態の
その他のプログラムを実行させる。ステップ230の実
行後、「EXIT」に抜けて、本割込み処理ルーチンを
一旦終了する。

【0027】一方、ステップ220でV1に対するV2
の偏差が所定値Va以下であると判定された場合、ステ
ップ230の処理を飛ばして、本割込み処理ルーチンを
一旦終了する。

【0028】以上のように構成されたプログラム実行処
理ルーチンおよび割込み処理ルーチンによれば、CPU
11における第1のプログラム実行時に、第1のプログ
ラムの目標動作速度V1から第1のプログラムの実際の
動作速度V2を減じて求めた偏差が所定値Vaより大き
いと判定されると、図4のタイミングチャートに示すよ
うに、CPU11に割込みを発生させて、どのプロセス
を選択し一定時間走らすかを決定するオラクル（ora
cle）処理ルーチン（オペレーティングシステムに含
まれる）なるものを走らせる。こうして、CPUの実行
プログラムを第1のプログラムから第2のプログラムに
変更する。なお、図4中、1点鎖線は、割込みのない場
合のCPUの処理を示している。こうして、第1のprog
ラムの実際の動作速度V2が目標動作速度V1より所
定値Va以上大きい場合、第1のプログラムのCPU1
1に割り当てられる時間が短縮されて（CPU使用率変
更手段に相当する）、第1のプログラムの動作速度V1
が下げられる。

【0029】したがって、第1のプログラムの動作速度
V2が目標動作速度V1に適切に制御され、その結果、
第1のプログラムによる処理結果を所望のものとす
ることができる。しかも、第1のプログラムの動作速度V2
が適切に制御されたにも拘らず、第1のプログラム以外
の他のプログラムの動作速度が低下することなく、C
PUの使用効率が大幅に向上する。

50

7

【 0 0 3 0 】次に、本発明の第2 実施例を説明する。第2 実施例の電子処理装置は、第1 実施例の電子処理装置と比較して、処理ユニット1 0 のCPU1 1 で実行される割り込み処理ルーチンが異なるだけであり、ハードウェアの構成およびその他のソフトウェアの構成は同じである。

【 0 0 3 1 】図5 は、その異なる割り込み処理ルーチンを表わすフローチャートである。図5 において、処理が開始されると、まず、第1 実施例のステップ2 0 0 と同様に、CPU1 1 上で第1 のプログラムが実行中か否かを判定する(ステップ3 0 0)。ここで、実行中であると判定された場合、次の処理を実行する。

【 0 0 3 2 】まず、現時点までの所定時間内における第1 のプログラムのCPU1 1 の使用率A2 を算出する処理を行なう(ステップ3 1 0)。次いで、この使用率A2 からステップ1 1 0 で読み取った目標使用率A1 を減じた偏差が、所定値Aa より大きいかなかを判定する(ステップ3 2 0)。ここで、その偏差が所定値Va より大きいと判定されると、ステップ2 3 0 と同様に、割り込み制御部2 3 に制御信号を出力して、CPU1 1 で実行されるプログラムを、第1 のプログラムから第2 のプログラムに変更する(ステップ3 3 0)。ステップ3 3 0 の実行後、「E X I T」に抜けて、本割り込み処理ルーチンを一旦終了する。

【 0 0 3 3 】一方、ステップ3 3 0 でA1 に対するA2 の偏差が所定値Aa 以下であると判定された場合、ステップ3 3 0 の処理を飛ばして、本割り込み処理ルーチンを一旦終了する。

【 0 0 3 4 】以上のように構成されたプログラム実行処理ルーチンおよび割り込み処理ルーチンによれば、CPU1 1 における第1 のプログラム実行時に、CPU の実際の使用率A2 から目標使用率A1 を減じた偏差が所定値Aa より大きいと判定されると、CPU1 1 に割り込みを発生させて、CPU の実行プログラムを第1 のプログラムから第2 のプログラムに変更する。こうして、第1 のプログラム実行時におけるCPU の使用率A2 が目標使用率A1 より所定値Aa 以上大きくて、第1 のプログラムの動作速度がCPU1 1 の目標使用率A1 で定まる目標動作速度よりかなり大きい場合、第1 のプログラムのCPU1 1 に割り当てられる時間が短縮されて、第1 のプログラムの動作速度が下げられる。

【 0 0 3 5 】したがって、第1 のプログラムの動作速度がCPU1 1 の目標使用率A1 で定まる目標動作速度に適切に制御され、その結果、第1 のプログラムによる処理結果を所望のものとすることができる。しかも、第1 実施例と同様に、他のプログラムの動作速度が低下することなく、CPU の使用効率が大幅に向上する。

【 0 0 3 6 】ところで、前述してきた第1 実施例または第2 実施例に換えて、図2 のステップ1 1 0 で読み取ったCPU の目標使用率A1 に応じてCPUスケジューリ

8

ングの内容を直接書き換えることにより、第1 のプログラムの動作速度を制御する構成が、比較的容易に考えつくが、こうした構成は、以下のような問題点を有する。

【 0 0 3 7 】単に、CPU の目標使用率A1 に応じてCPUスケジューリング内のプログラムの滞在時間を変えただけでは、第1 のプログラムのCPU に割り当てられる絶対的な時間を変更することができるが、必ずしも、その割り当てられた時間を、目標使用率A1 に応じた長さに適切に調節できるものではない。というのは、各プログラム実行時に、入出力装置等に伴う他の割り込み処理がかなり不規則に発生し、また、その割り込みに伴うオペレーティングシステムの処理ルーチン、例えばオラクル処理ルーチン等に要する時間が一定ではないため、CPU の使用率を適切に調節できるものではない。これに対して、前記第1 および第2 実施例は、目標使用率A1 に対する実際の使用率A2 の偏差(目標動作速度V1 に対する実際の動作速度V2 の偏差) に応じて、CPU の使用率を変更しているため、プログラムの動作速度を適切に制御することができる。

【 0 0 3 8 】なお、前記第1 および第2 実施例では、第1 のプログラムの実際の動作速度(またはCPU 目標使用率) が、目標動作速度(またはCPU 目標使用率) より大きくて、かつ所定値以上の偏差がある場合に、CPU で実行されるプログラムを第1 プログラムからその他のプログラムに変更するように構成されていたが、これに換えて、第1 のプログラムの実際の動作速度(またはCPU 目標使用率) が、目標動作速度(またはCPU 目標使用率) より小さくて、かつ所定値以上の偏差がある場合に、CPUスケジューリングにより定まる第1 のプログラムのCPU に対する割り付け時間を延長する構成としてもよい。こうした構成により、多重度の高い多重プログラミングにより第1 のプログラムの動作速度が目標動作速度より小さくなった場合にも、第1 のプログラムの動作速度を適切に制御することができる。

【 0 0 3 9 】以上本発明のいくつかの実施例について説明したが、本発明はこれら実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲において、種々なる態様で実施し得ることは勿論である。

【 0 0 4 0 】

【 発明の効果】以上詳述した本発明の電子処理装置によれば、多重マルチプログラミング処理において所定のプロセスの動作速度が適切に制御されるにも拘らず、そのプロセス以外の他のプロセスの動作速度が低下することもない。したがって、CPU の使用効率が大幅に向上する。

【 図面の簡単な説明】

【 図1 】本発明の電子処理装置を適用した第1 実施例としての処理システムの概略構成図である。

【 図2 】CPU にて実行されるプログラムの実行処理ルーチンを示すフローチャートである。

9

10

【 図3 】 同じくCPUにて実行される多重プログラミング処理時における割込み処理ルーチンを示すフローチャートである。

【 図4 】 本実施例の作用を示すタイミングチャートである。

【 図5 】 第2 実施例の電子処理装置のCPUにて実行される多重プログラミング処理時における割込み処理ルーチンを示すフローチャートである。

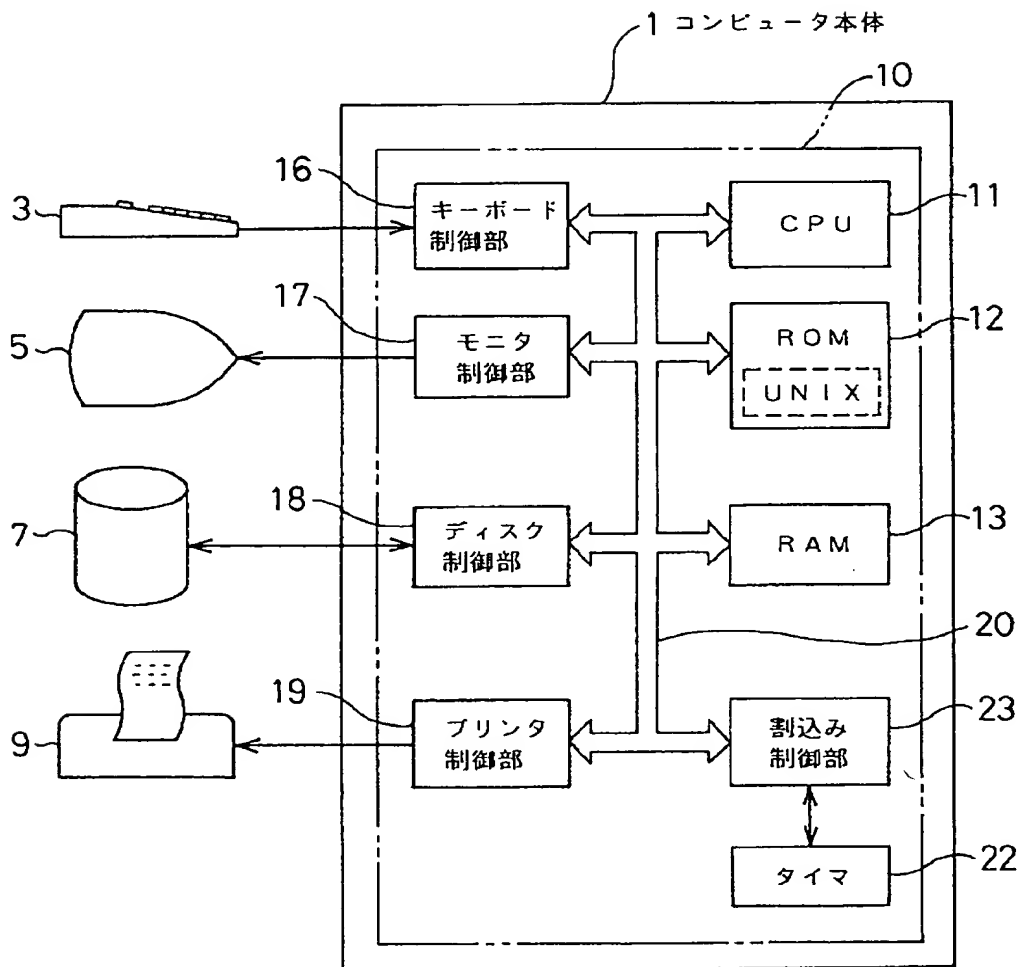
【 符号の説明】

10 処理ユニット

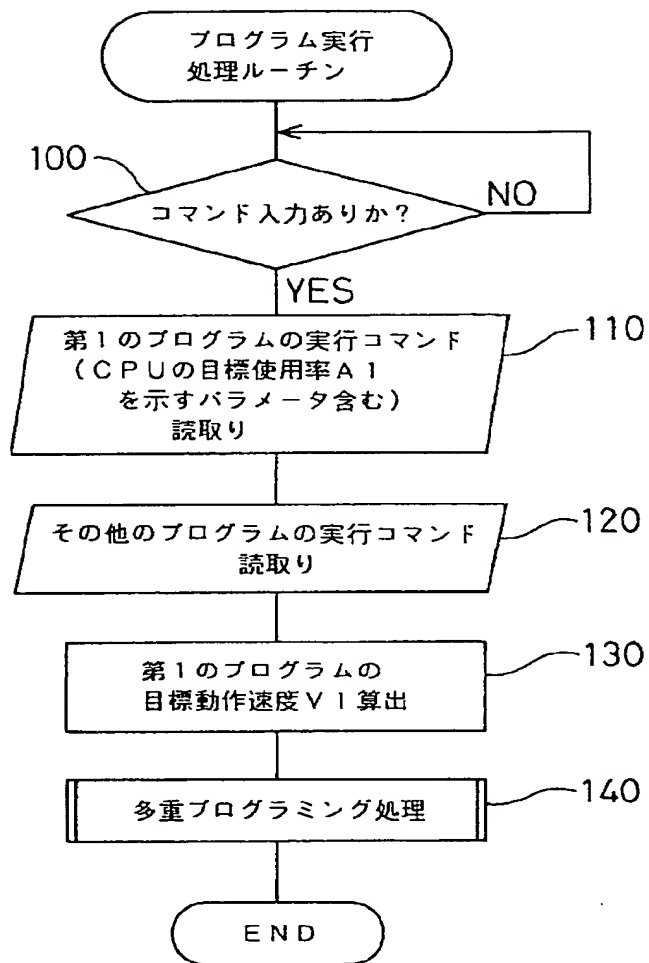
11 CPU
12 ROM
13 RAM
22 タイマ
23 割込み制御部
A1 目標使用率
A2 使用率
V1 目標動作速度
V2 動作速度

10

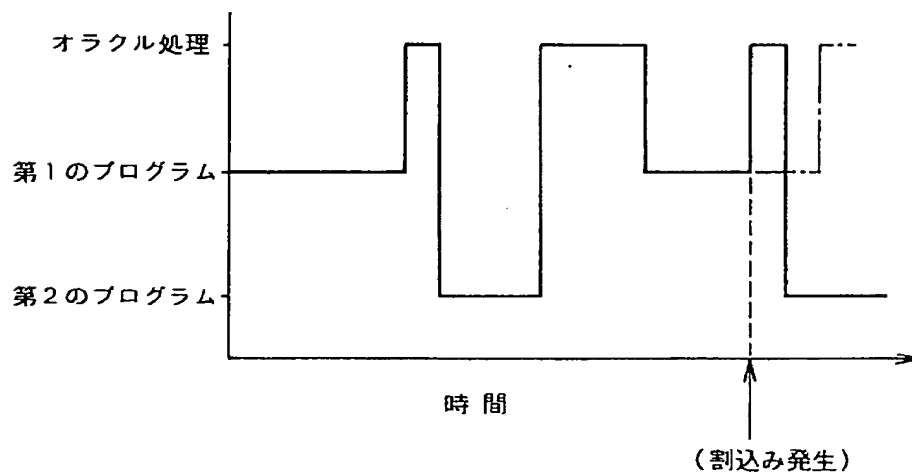
【 図1 】



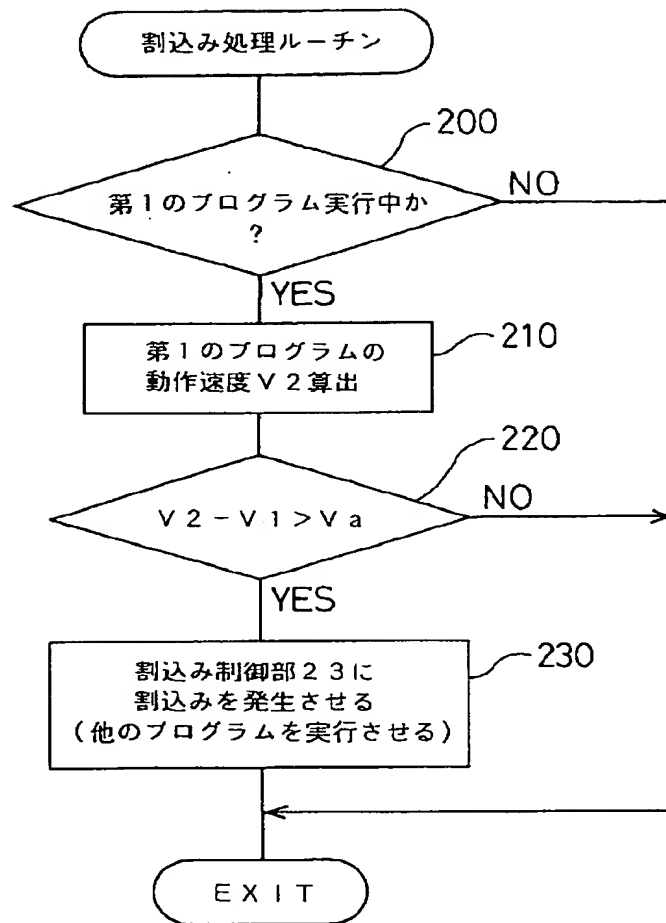
【 図2 】



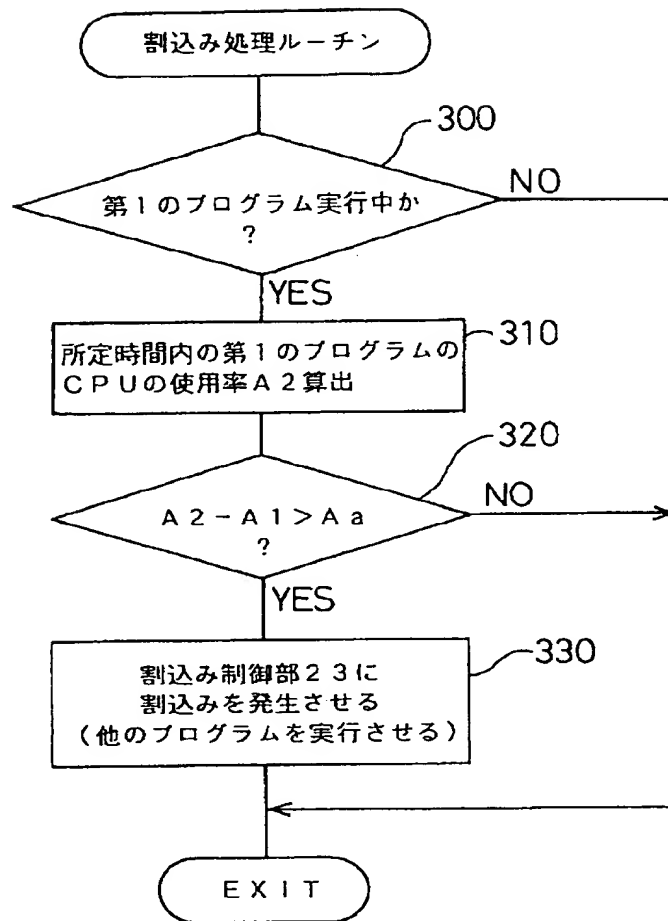
【 図4 】



【 図3 】



【 図5 】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☒ **FADED TEXT OR DRAWING**
- ☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.